

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-112569

(43)Date of publication of application : 14.04.1992

(51)Int.Cl.

H01L 27/108
G11C 11/401

(21)Application number : 02-231662

(71)Applicant : NEC CORP

(22)Date of filing : 31.08.1990

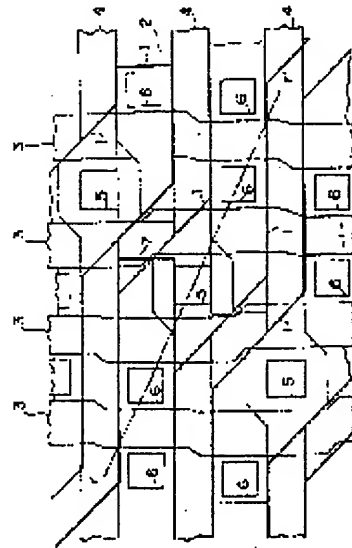
(72)Inventor : KOTAKI HIROSHI
SAEKI TAKANORI

(54) DRAM SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To scale down the size of cells or improve the capacitance of a transistor by forming the bit lines of each memory cell and contact holes to a capacitor in regions surrounded by specific word lines and bit lines arrayed in a latticed shape.

CONSTITUTION: One memory cell is composed of one transistor and one integrating capacitor, and one is brought into contact with a bit line 4 through a bit-line contact hole 5 and the other is brought into contact with the capacitance storage charge region 7 of a laminated capacitor through a capacitor contact hole 6 in the source-drain regions of a switching transistor. A pair of the memory cells share one hole 5, and word lines 3 and bit lines 4 are arranged in a latticed shape in the array structure of the memory cells. An element active region can be separated in minimum element isolation size, and channel width is increased without augmenting the area of a cell, thus improving transistor characteristics.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection] :

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平4-112569

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月14日

H 01 L 27/108
G 11 C 11/4018624-4M H 01 L 27/10 3 2 5 T
8526-5L G 11 C 11/34 3 6 2 B

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 DRAM半導体装置

⑯ 特 願 平2-231662

⑰ 出 願 平2(1990)8月31日

⑱ 発 明 者 小 瀧 浩 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 発 明 者 佐 伯 貴 範 東京都港区芝5丁目7番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
㉑ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

DRAM半導体装置

2. 特許請求の範囲

(1) 1つのトランジスタと、1つの積層キャパシタで1つのメモリセルを構成し、前記メモリセルのスイッチングトランジスタのソースドレイン領域は一方がビット線コンタクト孔を介してビット線とコンタクトをとり、他方はキャパシタコンタクト孔を介して積層キャパシタの蓄積電荷領域とコンタクトをとっており、前記メモリセルは対の2つのメモリセルで1つの共通ビット線コンタクト孔を有しており、前記対のメモリセルのレイ構造はワード線とビット線が格子状に配列されたものであるDRAM半導体装置において、一のビット線とコンタクトをとる一のビット線コンタクト孔に対し、一方に隣接する二のビット線とコンタクトをとる二のビット線コンタクト孔は、前記一のビット線コンタクト孔に対応する対のメモリセルのうちの一方のメモリセルのスイッチン

グトランジスタのゲート電極となる一のワード線と更にその外側に隣接する二のワード線とに挟まれた位置に設けられており、前記一方のメモリセルのキャパシタコンタクト孔はこの一のワード線と、前記二のワード線と、前記一のビット線と、この一のビット線に対して前記二のビット線の反対側で隣接する三のビット線とに囲まれた領域に設けられていることを特徴とするDRAM半導体装置。

(2) 前記ビット線は1つおきに共通のセンスアンプに接続されていることを特徴とする請求項1に記載のDRAM半導体装置。

(3) 前記メモリセルのキャパシタ蓄積電荷領域は、ワード線及びビット線の上方に延在していることを特徴とする請求項1に記載のDRAM半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はフォールデッドビット線方式のメモリセルレイ構造を有するDRAM半導体装置に関

する。

〔従来の技術〕

第7図は従来のフォールデッドビット線方式のシールドスタックセル型DRAM半導体装置のメモリセルアレイを示す平面図、第8図は第7図のr-r'線による断面図である。このシールドスタックセル型のDRAM半導体装置はワード線、ビット線及び上部に延在するキャパシタ蓄積電荷領域を有する。また、第9図はこのメモリセルアレイの素子能動領域及び素子分離領域のみを示した図、第10図はこのメモリセルアレイのビット線、ワード線、ビット線コンタクト孔、キャパシタコンタクト孔及び素子能動領域の位置関係を模式的に示した図である。

シリコン基板41の表面に素子分離領域42が選択的に形成され、この分離領域42に囲まれて素子能動領域40が形成されている。シリコン基板41の表面上の絶縁膜内にワード線（ゲート電極）44及びビット線45が配置され、更に容量蓄積電荷領域48が所定のパターンで形成されて

いる。また、全面に容量プレート43が被覆されている。ビット線45はビット線コンタクト孔46内を埋め込み、容量蓄積電荷領域48はキャパシタコンタクト孔47内を埋め込んでいる。

従来のメモリセルアレイ構造においては、第10図に示すように、第1のワード線441及び第2のワード線442間、第3のワード線443及び第4のワード線444間、第5のワード線445及び第6のワード線446間及び第7のワード線447及び第8のワード線448間に夫々キャパシタコンタクト孔47が配置され、ワード線2ピッチおきに、キャパシタコンタクト孔47が存在する。

ビット線コンタクト孔46は、第2のワード線442及び第3のワード線443間、第4のワード線444及び第5のワード線445間、第6のワード線446及び第7のワード線447間に配置され、キャパシタコンタクト孔47が存在するワード線間の隣りのワード線間に、ワード線2ピッチおきに存在する。また、ビット線45は2本

ずつセンスアンプ50に接続され、1組のワード線間のビット線コンタクト孔46は2ピッチおきにビット線45に配置されている。このようなメモリセルアレイは、例えば、1988年発行のIEDM予稿集（596乃至599頁 A NEW STACKED CAPACITOR DRAM CELL CHARACTERIZED BY A STORAGE CAPACITOR ON A BIT-LINE STRUCTURE）に記載されている。

〔発明が解決しようとする課題〕

しかしながら、この従来のシールドスタックセル型DRAM半導体装置のメモリセルアレイでは、第9図に示すように素子分離領域42に分離されて素子能動領域40が分布する。このため、例えば第9図中Aで示す部分の素子分離領域42において、最小設計素子分離寸法とならず、むだな領域が生じる。これにより、素子の微細化が防げられるという問題点がある。

また、トランジスタのゲートチャネル幅は第9図にW1で示す素子能動領域幅で決定され、素子分離領域dの最小設計寸法で限定されてしまう。

本発明はかかる問題点を鑑みてなされたものであって、素子分離寸法をメモリセルアレイ内の全領域で最小設計寸法幅で形成することができ素子能動領域を最密充填することができ、セルサイズの縮小又はトランジスタ能力の向上を図ることができるDRAM半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係るDRAM半導体装置は、1つのトランジスタと、1つの積層キャパシタで1つのメモリセルを構成し、前記メモリセルのスイッチングトランジスタのソースドレイン領域は一方がビット線コンタクト孔を介してビット線とコンタクトをとり、他方はキャパシタコンタクト孔を介して積層キャパシタの蓄積電荷領域とコンタクトをとっており、前記メモリセルは対の2つのメモリセルで1つの共通ビット線コンタクト孔を有しており、前記対のメモリセルのアレイ構造はワード線とビット線が格子状に配列されたものであるDRAM半導体装置において、一のビット線とコン

タクトをとる一のビット線コンタクト孔に対し、一方に隣接する二のビット線とコンタクトをとる二のビット線コンタクト孔は、前記一のビット線コンタクト孔に対応する対のメモリセルのうちの一方のメモリセルのスイッチングトランジスタのゲート電極となる一のワード線と更にその外側に隣接する二のワード線とに挟まれた位置に設けられており、前記一方のメモリセルのキャパシタコンタクト孔はこの一のワード線と、前記二のワード線と、前記一のビット線と、この一のビット線に対して前記二のビット線の反対側で隣接する三のビット線とに囲まれた領域に設けられていることを特徴とする。

〔作用〕

本発明においては、素子能動領域を最小素子分離寸法で分離することが可能になる。従って、素子分離領域に無駄な領域がなくなり、素子能動領域を最密充填することができる。このため、セル面積を大きくすることなく、チャネル幅を大きくしてトランジスタ特性を向上させることができ、

又はトランジスタのチャネル幅を小さくすることなく、セルサイズを縮小することが可能である。

〔実施例〕

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の第1の実施例に係るフォールデッドビット線方式のシールドスタックセル型DRAM半導体装置のメモリセルアレイを示す平面図、第2図は第1図の $r-r'$ 線による断面図である。また、第3図はこのメモリセルアレイの素子能動領域及び素子分離領域のみを示す図、第4図はこのメモリセルアレイのビット線、ワード線、ビット線コンタクト孔、キャパシタコンタクト孔及び素子能動領域の位置関係を示す模式図である。

このシールドスタックセル型DRAM半導体装置においては、1つのトランジスタと1つの集積キャパシタとで1つのメモリセルが構成されている。そして、前述のメモリセルのスイッチングトランジスタのソース・ドレイン領域は、一方がビット線コンタクト孔5を介してビット線4とコン

タクトをとり、他方はキャパシタコンタクト孔6を介して積層キャパシタの容量蓄積電荷領域7とコンタクトをとっている。また、前記メモリセルは、対の2つのメモリセルで1つの共通ビット線コンタクト孔5を有している。そして、前記対のメモリセルのアレイ構造は、ワード線3とビット線4とが格子状に配列されたものとなっている。

第4図に示すように、対になる第1のメモリセルと第2のメモリセルは共通の第1のビット線4B1と共通の第1のビット線コンタクト孔5B1を有しており、この第1のビット線コンタクト孔5B1は、第1のメモリセルを構成する第1のスイッチングトランジスタのゲート電極となる第1のワード線3W1と、第2のメモリセルを構成する第2のスイッチングトランジスタのゲート電極となる第2のワード線3W2とに挟まれた領域に形成されている。第1のメモリセルのキャパシタコンタクト孔6C1は、第1のワード線3W1と、この第1のワード線3W1の両側に隣接する2本のワード線3W2、3W3のうち第1のワード線

3W1を介して第2のワード線3W2の反対側に位置する第3のワード線3W3と、第1のビット線4B1と、この第1のビット線4B1の両側に隣接するビット線4B2、4B3のうち一方の第2のビット線4B2とに囲まれた領域に形成されている。第2のメモリセルのキャパシタコンタクト孔6C2は、第2のワード線3W2と、この第2のワード線3W2の両側に隣接する2本のワード線3W1、3W4のうち第2のワード線3W2を介して第1のワード線3W1の反対側に位置する第4のワード線3W4と、第1のビット線4B1と、この第1のビット線4B1に隣接する2本のビット線4B2、4B3のうち第1のビット線4B1を介して第2のビット線4B2の反対側に位置する第3のビット線4B3とに囲まれた領域に形成されている。この第1及び第2のメモリセルの素子能動領域 $1_{1,2}$ は第1のビット線コンタクト孔5B1と、第1及び第2のキャパシタコンタクト孔6C1、6C2を含むように形成されており、第1及び第2のメモリセルの素子能動領域

1₁₂の周辺領域には素子分離領域2が形成されていて、他のメモリセル対の素子能動領域と分離されている。

対の第3のメモリセルと第4のメモリセルは共通の第2のビット線4B2と第2のビット線コンタクト孔5B2を有しており、この第2のビット線4B2のビット線コンタクト孔5B2は、第1のビット線コンタクト孔5B1と最隣接の位置にある。即ち、この第2のビット線コンタクト孔5B2は第3のメモリセルを構成する第3のスイッチングトランジスタのゲート電極となる第2のワード線3W2と、第4のメモリセルを構成する第4のスイッチングトランジスタのゲート電極となる第4のワード線3W4とに挟まれた領域に形成されている。第3のメモリセルのキャパシタコンタクト孔6C3は、第1のワード線3W1と、第2のワード線3W2と、第2のビット線4B2と、この第2のビット線4B2の両側に隣接するビット線4B1、4B4のうち第2のビット線4B2を介して第1のビット線4B1の反対側に位置す

B1に配置されたビット線コンタクト孔としては、第1のビット線コンタクト孔5B1と隣接した位置に存在する。また、第1のビット線コンタクト孔5B1から、第2、4、5、6の4本のワード線3W2、3W4、3W5、3W6を介して存在する。そして、第3のビット線コンタクト孔5B3は第5のメモリセルのスイッチングトランジスタのゲート電極となる第6のワード線3W6と、第6のワード線3W6の両側に隣接する2本のワード線3W5、3W7のうち第6のワード線3W6を介して第5のワード線3W5の反対側に位置する第7のワード線3W7に挟まれた領域に形成されている。この第7のワード線3W7は第6のメモリセルのスイッチングトランジスタのゲート電極となるものである。第5のメモリセルのキャパシタコンタクト孔6C5は第5のワード線3W5と、第6のワード線3W6と、第1のビット線4B1と、第2のビット線4B2とに囲まれた領域に形成されている。第6のメモリセルのキャパシタコンタクト孔6C6は、第7のワード線3W

第4のビット線4B4とに囲まれた領域に形成されている。また、第4のメモリセルのキャパシタコンタクト孔6C4は、第4のワード線3W4と、この第4のワード線3W4の両側に隣接する2本のワード線3W2、3W5のうち第4のワード線3W4を介して第2のワード線3W2の反対側に位置する第5のワード線3W5と、第1のビット線4B1と、第2のビット線4B2とに囲まれた領域に形成されている。この第3及び第4のメモリセルの素子能動領域1₃₄は、第2のビット線コンタクト孔5B2と、第3及び第4のキャパシタコンタクト孔6C3、6C4を含むように形成されており、第3及び第4のメモリセルの素子能動領域1₃₄の周辺領域には素子分離領域2が形成されていて、他の対のメモリセルの素子能動領域と分離されている。

対の第5のメモリセルと第6のメモリセルは、共通の第1のビット線4B1と、第3のビット線コンタクト孔5B3を有しており、この第3のビット線コンタクト孔5B3は、第1のビット線4

7と、この第7のワード線3W7に隣接する2本のワード線3W6、3W8のうち第7のワード線3W7を介して第6のワード線3W6の反対側に位置する第8のワード線3W8と、第1のビット線4B1と、第3のビット線4B3とに囲まれた領域に形成されている。この第5及び第6のメモリセルの素子能動領域1₅₆は第3のビット線コンタクト孔5B3と、第5及び第6のキャパシタコンタクト孔6C5、6C6を含むように形成されており、第5及び第6のメモリセルの素子能動領域1₅₆の周辺領域には、素子分離領域2が形成されていて、他の対のメモリセルの素子能動領域と分離されている。

そして、各ビット線は交互に同一のセンスアンプ10に接続されていてフォールデッドビット線方式となっている。

第3図は第1図に示す素子能動領域1と、素子分離領域2のみを示した図であるが、本実施例の場合は全ての素子能動領域1を最小素子分離寸法で分離することが可能である。従って、従来の第

9図にAで示す部分のように最小素子分離寸法より素子分離幅が大きくなるような無駄な領域がない。例えば、最小加工寸法を $0.6\mu\text{m}$ 、ワード線ピッチを $1.5\mu\text{m}$ 、ビット線ピッチを $1.5\mu\text{m}$ 、ビット線コンタクト孔の寸法を $0.6\mu\text{m} \times 0.6\mu\text{m}$ 、キャパシタコンタクト孔の寸法を $0.6\mu\text{m} \times 0.6\mu\text{m}$ 、最小素子分離寸法を $0.6\mu\text{m}$ 、ワード線とビット線コンタクト孔との間のマージンを $0.2\mu\text{m}$ 、スイッチングトランジスタチャネル長を $0.7\mu\text{m}$ として本実施例に係るメモリセルアレイを製造すると、最小素子分離寸法は $0.6\mu\text{m}$ である。このように、本実施例は素子能動領域を最密充填することが可能であり、従来と全く同じ設計基準でもメモリセルのスイッチングトランジスタのチャネル幅を従来(第9図)に比して大きくすることが可能である。

第3図及び第6図に示すチャネル幅 W_1 及び W_2 を比較すると、本実施例(第3図)は従来例(第9図)に対し、 W_1 にて $0.18\mu\text{m}$ 、 W_2 にて $0.48\mu\text{m}$ も大きくすることができ、トランジスタの

μm^2 であり、スイッチングトランジスタチャネル幅 W_1 は $0.52\mu\text{m}$ となる。

第6図は従来のセルアレイパターンを第5図と同じ設計基準でセルサイズが $8f^2$ となるように形成した場合のメモリセルを示す。

但し、符号51は素子能動領域、52は素子分離領域、53はワード線、54はビット線、55はビット線コンタクト孔、56はキャパシタコンタクト孔である。

第6図に示すように、従来のセルアレイパターンでは素子分離最小寸法が限界になるため、素子能動領域51は第6図に示すようなパターンとなり、ワード線53を素子能動領域51に位置合わせするためのフォトレジスト工程における位置ズレマージンは全くない。従って、このような素子を形成することは困難である。また、トランジスタのチャネル幅 W_1 も最小加工寸法である $0.4\mu\text{m}$ となる。

〔発明の効果〕

以上説明したように、本発明によれば、フォー

能力を高めることが可能となる。

逆に、チャネル幅を従来と同一にする場合は、ワード線ピッチ及びビット線ピッチを縮小することが可能となる。

第5図は本発明の第2の実施例を示す平面図である。

この第2の実施例においては、ワード線及びビット線のピッチをいずれも最小加工寸法の2倍の寸法で設計しており、ワード線及びビット線の幅及び間隔のいずれも最小加工寸法となっている。ビット線コンタクト孔5はワード線の上面及び側面絶縁膜により、またキャパシタコンタクト孔6はワード線及びビット線の上面及び側面絶縁膜により、いずれも自己整合的に形成されている。本実施例におけるセル面積は最小加工寸法を f で表わした場合 $8f^2$ となる。

本実施例は最小加工寸法を $0.4\mu\text{m}$ にて設計した。この場合に、ワード線ピッチは $0.8\mu\text{m}$ 、ビット線ピッチは $0.8\mu\text{m}$ 、スイッチングトランジスタチャネル長は $0.4\mu\text{m}$ 、セル面積は 1.28

ルデッドビット線方式のメモリセルアレイ構造において、素子分離寸法をメモリセルアレイ内全域において最小設計寸法幅で形成することができ、素子能動領域を最密充填することができるため、セル面積を大きくすることなく、セルトランジスタのチャネル幅を大きくすることが可能であり、逆にセルトランジスタのチャネル幅を小さくすることなく、セルサイズを縮小することが可能である。

また、メモリセルのキャパシタの蓄積電荷領域がワード線及びビット線の上部に延在する構造をとるDRAMメモリセルアレイにおいて、セル面積は最小加工寸法を f と表現したときのフォールデッドビット線方式の最小セル面積である $8f^2$ にすることが可能となる。更に、メモリセルトランジスタのチャネル幅を $(2-1/\sqrt{2})f = 1.3f$ 、つまり、最小加工寸法の約1.3倍に大きくとることが可能となり、トランジスタの能力を高めることができる。

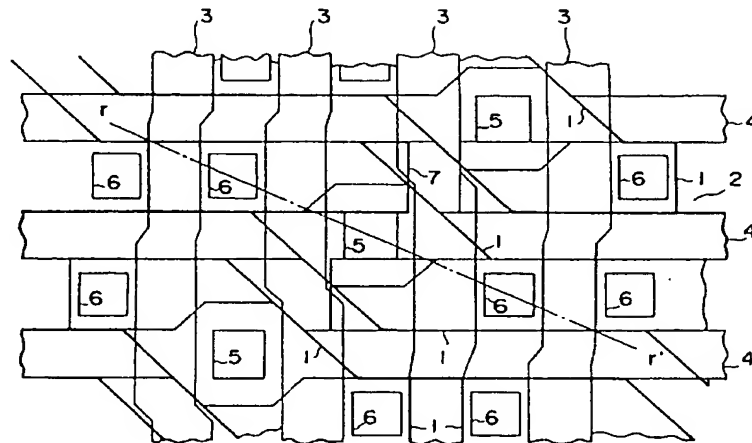
4. 図面の簡単な説明

第1図は本発明の第1の実施例に係るフォールデッドビット線方式のシールドスタックセル型DRAM半導体装置のメモリセルアレイを示す平面図、第2図は第1図のr-r'線による断面図、第3図はこのメモリセルアレイの素子能動領域及び素子分離領域のみを示す図、第4図はこのメモリセルアレイのビット線、ワード線、ビット線コンタクト孔、キャパシタコンタクト孔及び素子能動領域の位置関係を示す模式図、第5図は本発明の第2の実施例を示す平面図、第6図はこの第2の実施例の設計基準により従来方法で形成したメモリセルを示す平面図、第7図は従来のフォールデッドビット線方式のシールドスタックセル型DRAM半導体装置のメモリセルアレイを示す平面図、第8図は第7図のr-r'線による断面図、第9図はこのメモリセルアレイの素子能動領域及び素子分離領域のみを示した図、第10図はこのメモリセルアレイのビット線、ワード線、ビット線コンタクト孔、キャパシタコンタクト孔及び素子能動領域の位置関係を示す模式図である。

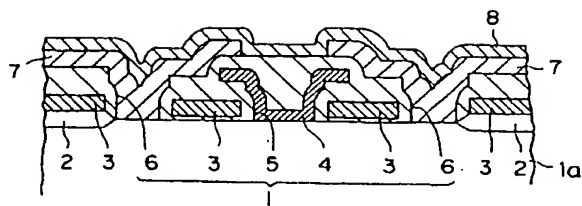
1, 40; 素子能動領域、2, 42; 素子分離領域、3, 44; ワード線(ゲート電極)、4, 45; ビット線、5, 46; ビット線コンタクト孔、6, 47; キャパシタコンタクト孔、7, 48; 容量蓄積電荷領域、8, 43; 容量プレート、10, 50; センスアンプ

出願人 日本電気株式会社
代理人 弁理士 藤巻正憲

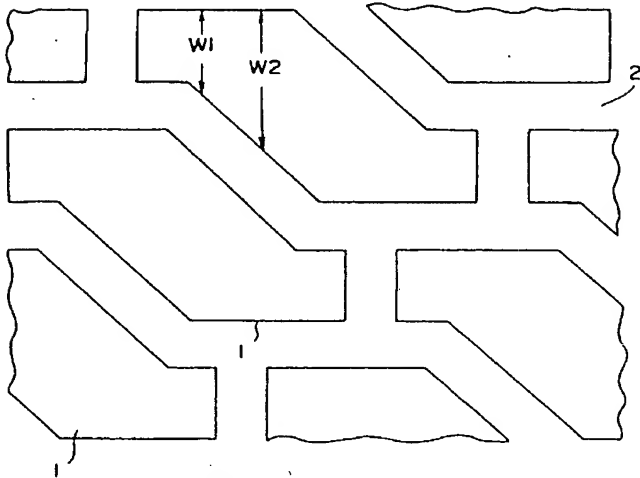
- | | |
|----------------|----------------|
| 10; シリコン基板 | 5; ビット線コンタクト孔 |
| 1; 素子能動領域 | 6; キャパシタコンタクト孔 |
| 2; 素子分離領域 | 7; 容量蓄積電荷領域 |
| 3; ワード線(ゲート電極) | 8; 容量プレート |
| 4; ビット線 | |



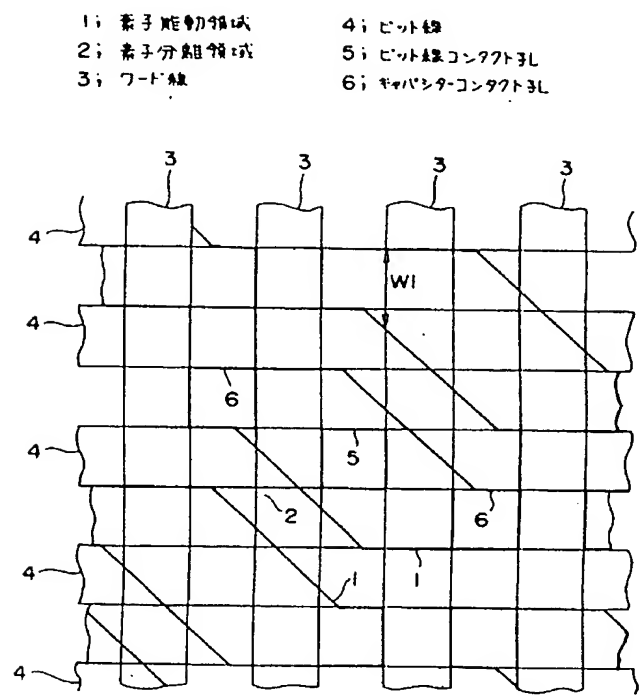
第 1 図



第 2 図

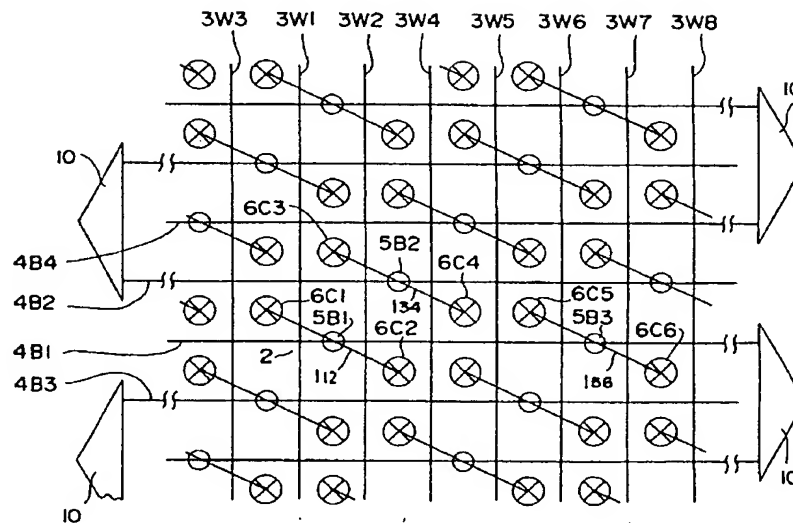


第 3 図



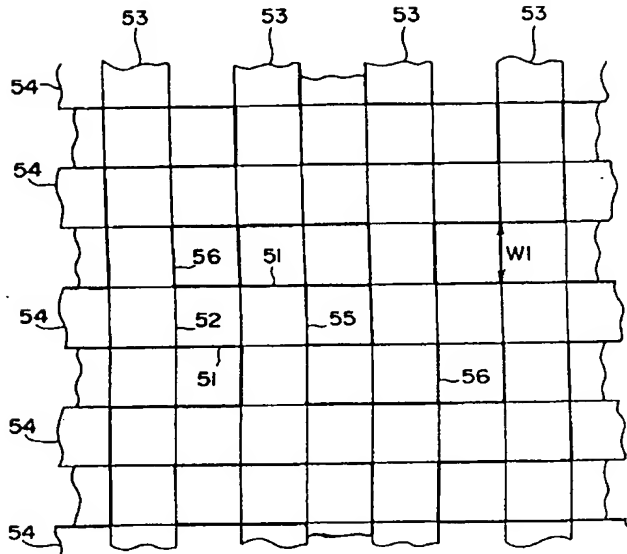
第 5 図

- 1; 素子駆動領域
- 3; ワード線
- 4; ビット線
- 5; ビット線コンタクト孔
- 6; キャパシタコンタクト孔
- 10; センスタンプ

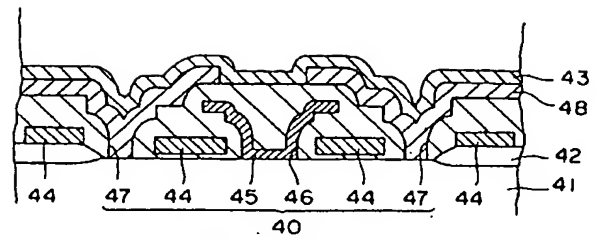


第 4 図

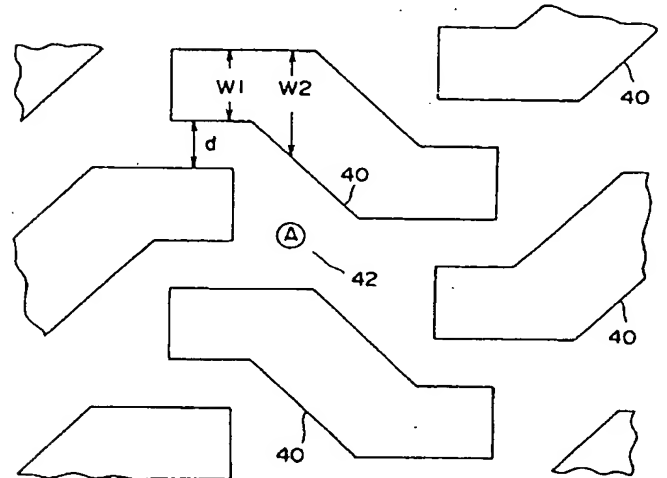
- 51; 素子能動領域
- 52; 素子分離領域
- 53; ワード線
- 54; ビット線
- 55; ビット線コンタクト孔
- 56; キャパシタコンタクト孔



第 6 図

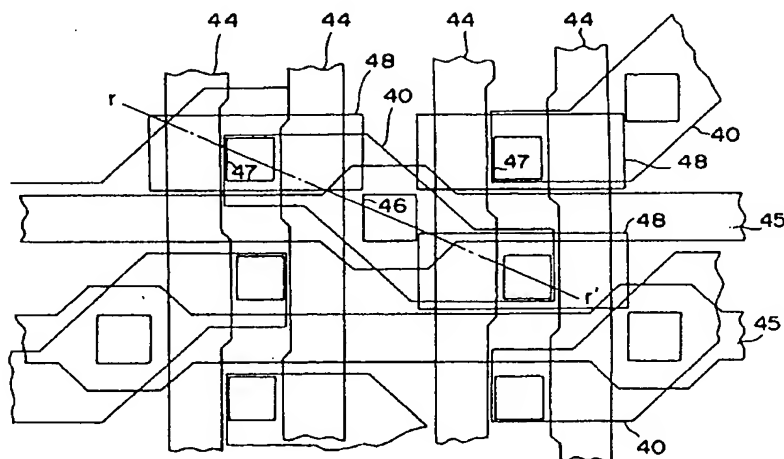


第 8 図



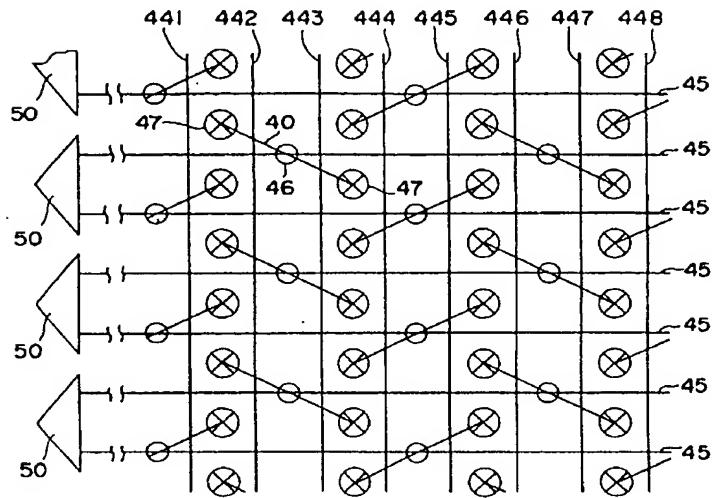
第 9 図

- | | |
|-----------------|-----------------|
| 40; 素子能動領域 | 45; ビット線 |
| 41; シリコン基板 | 46; ビット線コンタクト孔 |
| 42; 素子分離領域 | 47; キャパシタコンタクト孔 |
| 43; 容量プレート | 48; 容量蓄積電荷領域 |
| 44; ワード線(ゲート電極) | |



第 7 図

- | | |
|--------------|----------------|
| 441; 第1のワード線 | 40; 素子駆動領域 |
| 442; 第2のワード線 | 45; ビット線 |
| 443; 第3のワード線 | 46; ビット線コンタクト |
| 444; 第4のワード線 | 47; キャパシタコンタクト |
| 445; 第5のワード線 | 50; センスタング |
| 446; 第6のワード線 | |
| 447; 第7のワード線 | |
| 448; 第8のワード線 | |



第 10 図